

Docket No.: 56937-096

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

| | | |
|--------------------------------------|---|------------------------|
| In re Application of | : | Customer Number: 20277 |
| | : | |
| Naoki AMEKAWA | : | Confirmation Number: |
| | : | |
| Serial No.: | : | Group Art Unit: |
| | : | |
| Filed: October 23, 2003 | : | Examiner: Unknown |
| | : | |
| For: METHOD FOR CORRECTING CROSSTALK | : | |

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

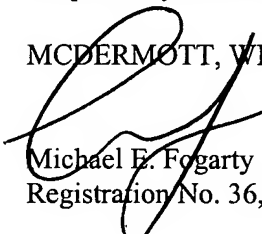
In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:

Japanese Patent Application No. 2002-336473, filed November 20, 2002

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Michael E. Fogarty
Registration No. 36,139

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 MEF:tlb
Facsimile: (202) 756-8087
Date: October 23, 2003

56937-096
AMEKAWA
October 23, 2003

日 本 国 特 許 庁
JAPAN PATENT OFFICE

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2002年11月20日

出 願 番 号
Application Number:

特願2002-336473

[ST.10/C]:

[JP2002-336473]

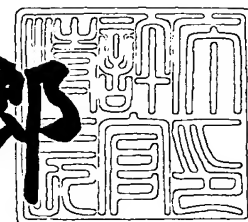
出 願 人
Applicant(s):

松下電器産業株式会社

2003年 7月 1日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3051971

【書類名】 特許願

【整理番号】 5037540129

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/82
G06F 17/50

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 雨河 直樹

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100086737

【弁理士】

【氏名又は名称】 岡田 和秀

【電話番号】 06-6376-0857

【手数料の表示】

【予納台帳番号】 007401

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9305280

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 クロストーク修正方法

【特許請求の範囲】

【請求項 1】 半導体集積回路レイアウト設計において、

クロストークについての許容並行配線長データとレイアウトデータを入力し、これら両データに基づいて並行配線長違反情報を抽出する第 1 の並行配線長チェック手順と、

セル面積情報を入力し、前記並行配線長違反情報に記載された違反配線経路上に前記セル面積情報を参照して空きスペースを検索し、空きスペース情報を抽出する空きスペース検索手順と、

前記違反配線部分の駆動バッファまたは次段駆動バッファから分割する複数のインバータをクロストーク修正候補として抽出するバッファ分割候補作成手順と

前記クロストーク修正候補のインバータを前記空きスペース情報に記載された空きスペースに配置し配線する配置配線手順と、

新たに配置したインバータについて並行配線長違反をチェックする第 2 の並行配線長チェック手順とを含むことを特徴とするクロストーク修正方法。

【請求項 2】 半導体集積回路レイアウト設計において、

クロストークについての許容並行配線長データとレイアウトデータを入力し、これら両データに基づいて並行配線長違反情報を抽出する第 1 の並行配線長チェック手順と、

セル面積情報を入力し、前記並行配線長違反情報に記載された違反配線経路上に前記セル面積情報を参照して空きスペースを検索し、空きスペース情報を抽出する空きスペース検索手順と、

前記違反配線部分の駆動セルまたは次段駆動セルのうち移動するセルをクロストーク修正候補として抽出するセル移動候補作成手順と、

前記クロストーク修正候補のセルを前記空きスペース情報に記載された空きスペースに配置し配線する配置配線手順と、

新たに配置したセルについて並行配線長違反をチェックする第 2 の並行配線長

チェック手順とを含むことを特徴とするクロストーク修正方法。

【請求項 3】 半導体集積回路レイアウト設計において、

クロストークについての許容並行配線長データとレイアウトデータを入力し、これら両データに基づいて並行配線長違反情報を抽出する第 1 の並行配線長チェック手順と、

セル面積情報を入力し、前記並行配線長違反情報に記載された違反配線経路上に前記セル面積情報を参照して空きスペースを検索し、空きスペース情報を抽出する空きスペース検索手順と、

論理接続情報を入力し、前記論理接続情報に基づいて並行配線長違反がある配線を含むネット部分について再論理合成を行ってクロストーク違反修正のため配置エレメント数の増加またはファンアウト変更のクロストーク修正候補を抽出するビクティムネット論理合成手順と、

前記クロストーク修正候補に基づき前記空きスペース情報に記載された空きスペースにセルを配置し配線する配置配線手順と、

修正された新たな回路について並行配線長違反をチェックする第 2 の並行配線長チェック手順とを含むことを特徴とするクロストーク修正方法。

【請求項 4】 半導体集積回路レイアウト設計において、

論理接続情報、RC 情報、解析制約情報、遅延ライブラリおよびクロストーク解析用ライブラリを入力し、これら入力した情報等に基づいて、タイミングウィンドウから同時遷移によるクロストーク遅延変動を考慮した遅延計算とタイミング解析を行い、クロストーク発生配線が記載されたクロストーク違反情報およびタイミングウィンドウデータを抽出するクロストーク解析手順と、

セル面積情報を入力し、前記クロストーク違反情報に記載されたクロストーク発生箇所の隣接配線経路上に前記セル面積情報を参照して空きスペースを検索し、空きスペース情報を抽出する空きスペース検索手順と、

前記空きスペース情報と前記タイミングウィンドウデータを参照し、前記クロストーク発生配線ネットの影響を与える側または影響を受ける側の論理を分解し同時の同相遷移を逆相遷移へと反転または逆相遷移を同相遷移へと反転させ、遅延変動をタイミング制約に対して余裕のある方に変更するクロストーク修正候補

を抽出するアグレッサ・ビクティム両ネットの論理合成手順と、

前記クロストーク修正候補に基づきセルを配置し配線する配置配線手順と、

修正された新たな回路についてクロストーク違反をチェックする第2のクロストーク解析手順とを含むことを特徴とするクロストーク修正方法。

【請求項5】 半導体集積回路レイアウト設計において、

論理接続情報、RC情報、解析制約情報、遅延ライブラリおよびクロストーク解析用ライブラリを入力し、これら入力した情報等に基づいて、タイミングウィンドウから同時遷移によるクロストーク遅延変動を考慮した遅延計算とタイミング解析を行い、タイミング制約に対する違反情報が記載されたスラックデータおよびタイミングウィンドウデータを抽出するクロストーク解析手順と、

前記スラックデータに記載されたタイミング制約違反パス上のネットから、隣接配線との間に規定値以上のカップリング容量を有する修正対象ネット情報を抽出する修正対象ネット抽出手順と、

セル面積情報を入力し、前記修正対象ネット情報に記載されたカップリング容量を有する配線経路上に前記セル面積情報を参照して空きスペースを検索し、空きスペース情報を抽出する空きスペース検索手順と、

前記空きスペース情報と前記タイミングウィンドウデータを参照し、隣接する配線を含むネットの論理を分解するかファンアウト数を変更する論理合成を行い、隣接する配線間の信号遷移を同時に、且つホールド違反の場合は同相に、セットアップ違反の場合は逆相に遷移するようにするクロストーク修正候補を抽出するタイミング制約違反パスの論理合成手順と、

前記クロストーク修正候補に基づきセルを配置し配線する配置配線手順と、

修正された新たな回路についてクロストーク違反をチェックする第2のクロストーク解析手順とを含むことを特徴とするクロストーク修正方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体集積回路設計のレイアウト設計において、配線間クロストークを無害化するためのレイアウト修正であるクロストーク修正方法に関するもの

である。

【 0 0 0 2 】

【従来の技術】

近年、半導体製造技術の微細化に伴い、半導体集積回路において隣接した配線の信号が遷移することにより、それら配線間のカップリング容量を介して影響を与えるクロストークが無視できなくなった。この現象により遅延が変動しタイミング制約違反が発生したり、論理が反転するファンクション・エラーが発生したりする。

【 0 0 0 3 】

従って、半導体集積回路設計のレイアウト設計において、クロストークの発生を検出するとともに、クロストークによるタイミング制約違反や論理反転を起こさないようにレイアウトを修正するクロストーク修正を施す必要がある。

【 0 0 0 4 】

以下、従来のクロストーク修正方法について説明する。

【 0 0 0 5 】

従来のクロストーク修正方法は、クロストーク発生によって影響を受けるネットにリピータバッファを挿入して、その配線を分割し、配線間カップリング容量を低減することにより、発生するクロストークを小さく抑えるようにしている（バッファ挿入。例えば、特許文献 1 参照）。

【 0 0 0 6 】

また、クロストークの発生によって影響を受ける配線の片側もしくは両側に一定電圧に固定したシールド配線を施すことにより、影響を与える配線とのカップリング容量を低減している（シールドイング）。

【 0 0 0 7 】

さらに、クロストークにより影響を受けるネットを駆動するセルの電流駆動能力を上げて隣接配線の信号遷移による影響を受けにくくしたり（セルサイジング）、クロストーク発生箇所を避けて配線を迂回させる手法が用いられているものもある（配線迂回。非特許文献 1 参照）。

【 0 0 0 8 】

以上のような従来のクロストーク修正方法について、以下に、その動作を説明する。

【0009】

バッファ挿入によるクロストーク修正の従来例を図11で説明する。図11(a)は、ビクティムネットの駆動セル200、被駆動セル201および配線202と、アグレッサネットの駆動セル203、被駆動セル204および配線205と、空きスペース206と、既存セル207からなるレイアウトを示す。ここで、ビクティムネットが修正対象とされた場合、ビクティムネットの配線202の経路上に空きスペースを検索し、図11(b)に示すように、クロストークによる影響が問題とならないだけの駆動能力を持つリピータバッファ208を挿入する。

【0010】

シールドイングによるクロストーク修正の従来例を図12で説明する。図12(a)は、ビクティムネットの駆動セル200、被駆動セル201および配線202と、アグレッサネットの駆動セル203、被駆動セル204および配線205と、カップリング容量209からなるレイアウトを示す。ここで、ビクティムネットが修正対象とされた場合、配線間に配線可能なスペースを検索し、図12(b)に示すようにシールド配線210を施す。シールド後のカップリング容量211は元のカップリング容量209と比べて極めて小となる。

【0011】

セルサイジングによるクロストーク修正の従来例を図13で説明する。図13(a)は、ビクティムネットの駆動セル200、被駆動セル201および配線202と、アグレッサネットの駆動セル203、被駆動セル204および配線205と、カップリング容量209からなるレイアウトを示す。ここで、ビクティムネットが修正対象とされた場合、配置可能なスペースがあるのであれば、図13(b)に示すように、ビクティムネットの駆動セル200のセルサイズを大きくする。ビクティムネットのスルーレートは小となり、アグレッサネットとビクティムネットの信号遷移が同時の場合、遅延変動は小となる。また、ビクティムネットの動作が静止しているときにアグレッサネットが遷移した場合に、ビクティ

ムネットの駆動セル 2 0 0 のトランジスタ抵抗が小となるため、発生するグリッチ（ひげ状のパルス）は小となる。

【 0 0 1 2 】

配線迂回によるクロストーク修正の従来例を図 1 4 で説明する。図 1 4 （a）は、ビクティムネットの駆動セル 2 0 0、被駆動セル 2 0 1 および配線 2 0 2 と、アグレッサネットの駆動セル 2 0 3、被駆動セル 2 0 4 および配線 2 0 5 と、カップリング容量 2 0 9 からなるレイアウトを示す。ここで、ビクティムネットが修正対象とされた場合、配線可能なスペースを検索し、図 1 4 （b）のビクティムネット配線 2 0 2 のように配線を迂回する。アグレッサネット配線 2 0 5 とのカップリングは無視できるようになる。

【 0 0 1 3 】

【特許文献 1】

特許第 3 1 7 5 6 5 3 号公報（第 9 - 1 0 頁、図 6 - 図 7）

【非特許文献 1】

Synopsys, Inc., 「Astro入門astroによるタイミング最適化の紹介（AstroPrimer Introduction to Astro Timing Optimized Layout Release 2001.2）」、ユーザズマニュアル、米国、Synopsys Corporation、2 0 0 1 年 2 月、p1 3 - 2 0

【 0 0 1 4 】

【発明が解決しようとする課題】

しかしながら、上記従来のクロストーク防止法では、バッファ挿入、セルランクアップおよびシールド配線挿入のためにレイアウト資源を消費し、面積が増大したり、容量の増加および電流駆動能力の大きなセルを使うために消費電力が増加するという問題があった。また、配線迂回は迂回先で別な配線との間に別のカップリング容量を生み出し、新たなクロストークを引き起こし、タイミング設計の収束性を悪化させるという問題があった。

【 0 0 1 5 】

本発明は上記従来の問題点を解決するもので、面積および消費電力の増加を招くことなく、クロストークによるタイミング制約違反およびファンクションエラ

ーを修正できるクロストーク修正方法を提供することを目的とする。

【 0 0 1 6 】

【課題を解決するための手段】

上記の課題を解決するために、基本論理セルあるいは機能マクロブロックをセル間配線で接続し構成される半導体集積回路レイアウト設計において、本発明は次のような手段を講じる。

【 0 0 1 7 】

第 1 の解決手段として、本発明によるクロストーク修正方法は、

クロストークについての許容並行配線長データとレイアウトデータを入力し、これら両データに基づいて並行配線長違反情報を抽出する第 1 の並行配線長チェック手順と、

セル面積情報を入力し、前記並行配線長違反情報に記載された違反配線経路上に前記セル面積情報を参照して空きスペースを検索し、空きスペース情報を抽出する空きスペース検索手順と、

前記違反配線部分の駆動バッファまたは次段駆動バッファから分割する複数のインバータをクロストーク修正候補として抽出するバッファ分割候補作成手順と

、
前記クロストーク修正候補のインバータを前記空きスペース情報に記載された空きスペースに配置し配線する配置配線手順と、

新たに配置したインバータについて並行配線長違反をチェックする第 2 の並行配線長チェック手順とを含むものである。

【 0 0 1 8 】

上記の許容並行配線長データは、配線層と配線間幅とネット駆動セル駆動能力に応じて異なるクロストークによる遅延変動と論理反転に対応したものであり、上記の並行配線長違反情報は、クロストークによって問題が発生する違反配線のリストであり、上記の空きスペース検索手順は、違反配線経路上に新たなエレメントが配置可能かを検索することである（以下同じ）。

【 0 0 1 9 】

そして、上記において、前記バッファ分割候補作成手順は、空きスペース情報

に記載された空きスペースにおいて、違反配線部分の駆動バッファまたは次段駆動バッファを複数のインバータに分割して配置することにより並行配線部分を短くすれば、クロストーク違反を修正することが可能なクロストーク修正候補を抽出するものである。

【0020】

第1の解決手段によれば、許容並行配線長以上の並行配線の駆動バッファまたは次段駆動バッファを複数のインバータの組に分割し、並行配線経路上に配置することにより、許容値以上のクロストーク遅延変動および論理反転の発生を防止することができる。その結果、面積および消費電力の増加を招くことなく、クロストークによるタイミング制約違反およびファンクションエラーを修正することができる。

【0021】

第2の解決手段として、本発明によるクロストーク修正方法は、

クロストークについての許容並行配線長データとレイアウトデータを入力し、これら両データに基づいて並行配線長違反情報を抽出する第1の並行配線長チェック手順と、

セル面積情報を入力し、前記並行配線長違反情報に記載された違反配線経路上に前記セル面積情報を参照して空きスペースを検索し、空きスペース情報を抽出する空きスペース検索手順と、

前記違反配線部分の駆動セルまたは次段駆動セルのうち移動するセルをクロストーク修正候補として抽出するセル移動候補作成手順と、

前記クロストーク修正候補のセルを前記空きスペース情報に記載された空きスペースに配置し配線する配置配線手順と、

新たに配置したセルについて並行配線長違反をチェックする第2の並行配線長チェック手順とを含むものである。

【0022】

上記において、前記セル移動候補作成手順は、空きスペース情報に記載された空きスペースにおいて、違反配線部分の駆動セルまたは次段駆動セルを移動して配置することにより並行配線部分を短くすれば、クロストーク違反を修正するこ

とが可能なクロストーク修正候補を抽出するものである。この場合、セル移動距離の、移動セル前段の配線長および移動セル後段の配線長に対する割合を所定値以下とするのが好ましい。

【 0 0 2 3 】

第 2 の解決手段によれば、許容並行配線長以上の並行配線の駆動セルまたは次段駆動セルを並行配線経路上に移動することにより、許容値以上のクロストーク遅延変動および論理反転の発生を防止することができる。その結果、面積および消費電力の増加を招くことなく、クロストークによるタイミング制約違反およびファンクションエラーを修正することができる。

【 0 0 2 4 】

第 3 の解決手段として、本発明によるクロストーク修正方法は、

クロストークについての許容並行配線長データとレイアウトデータを入力し、これら両データに基づいて並行配線長違反情報を抽出する第 1 の並行配線長チェック手順と、

セル面積情報を入力し、前記並行配線長違反情報に記載された違反配線経路上に前記セル面積情報を参照して空きスペースを検索し、空きスペース情報を抽出する空きスペース検索手順と、

論理接続情報を入力し、前記論理接続情報に基づいて並行配線長違反がある配線を含むネット部分について再論理合成を行ってクロストーク違反修正のため配置エレメント数の増加またはファンアウト変更のクロストーク修正候補を抽出するビクティムネット論理合成手順と、

前記クロストーク修正候補に基づき前記空きスペース情報に記載された空きスペースにセルを配置し配線する配置配線手順と、

修正された新たな回路について並行配線長違反をチェックする第 2 の並行配線長チェック手順とを含むものである。

【 0 0 2 5 】

上記において、前記ビクティムネット論理合成手順は、再論理合成での配置エレメント数の増加により、またはファンアウト変更に伴うスルーレート（信号遷移時間）の減少によって、クロストーク違反を修正するためのものである。

【 0 0 2 6 】

第 3 の解決手段によれば、再論理合成により許容並行配線長以上の並行配線の駆動セルまたは次段駆動セルを論理分解し、またはファンアウト数を変更して違反配線上のエLEMENT数を増やすことにより、許容値以上のクロストーク遅延変動および論理反転の発生を防止することができる。その結果、面積および消費電力の増加を招くことなく、クロストークによるタイミング制約違反およびファンクションエラーを修正することができる。

【 0 0 2 7 】

第 4 の解決手段として、本発明によるクロストーク修正方法は、

論理接続情報、RC情報、解析制約情報、遅延ライブラリおよびクロストーク解析用ライブラリを入力し、これら入力した情報等に基づいて、タイミングウィンドウから同時遷移によるクロストーク遅延変動を考慮した遅延計算とタイミング解析を行い、クロストーク発生配線が記載されたクロストーク違反情報およびタイミングウィンドウデータを抽出するクロストーク解析手順と、

セル面積情報を入力し、前記クロストーク違反情報に記載されたクロストーク発生箇所の隣接配線経路上に前記セル面積情報を参照して空きスペースを検索し、空きスペース情報を抽出する空きスペース検索手順と、

前記空きスペース情報と前記タイミングウィンドウデータを参照し、前記クロストーク発生配線ネットの影響を与える側または影響を受ける側の論理を分解し同時の同相遷移を逆相遷移へと反転または逆相遷移を同相遷移へと反転させ、遅延変動をタイミング制約に対して余裕のある方に変更するクロストーク修正候補を抽出するアグレッサ・ビクティム両ネットの論理合成手順と、

前記クロストーク修正候補に基づきセルを配置し配線する配置配線手順と、

修正された新たな回路についてクロストーク違反をチェックする第 2 のクロストーク解析手順とを含むものである。

【 0 0 2 8 】

上記のRC情報とは寄生素子情報のことである。また、上記の解析制約情報には、タイミング解析のためのクロック設定や動作モード設定などが記載されている。上記のタイミングウィンドウは、サイクルタイムに対する信号遷移のタイミ

ングを示すものであり、上記のクロストーク発生配線は、クロストークによりタイミング違反が発生しているパスの配線のことである（以下同じ）。

【 0 0 2 9 】

上記のアグレッサ・ビクティム両ネットの論理合成手順は、発生していたクロストークにより速くなる（または遅くなる）遅延変動を、タイミング制約に対して余裕のある方に変更することにより、クロストークの影響を無害化するためのものである。

【 0 0 3 0 】

第4の解決手段によれば、クロストークによりタイミング制約違反を起こしているパスに対して、再論理合成により信号の遷移方向を反転させ、クロストークの遅延変動を発生させないようにするか、発生するとしても無害な方向へ変動させることことができる。その結果、面積および消費電力の増加を招くことなく、クロストークによるタイミング制約違反およびファンクションエラーを修正することができる。

【 0 0 3 1 】

第5の解決手段として、本発明によるクロストーク修正方法は、

論理接続情報、RC情報、解析制約情報、遅延ライブラリおよびクロストーク解析用ライブラリを入力し、これら入力した情報等に基づいて、タイミングウィンドウから同時遷移によるクロストーク遅延変動を考慮した遅延計算とタイミング解析を行い、タイミング制約に対する違反情報が記載されたスラックデータおよびタイミングウィンドウデータを抽出するクロストーク解析手順と、

前記スラックデータに記載されたタイミング制約違反パス上のネットから、隣接配線との間に規定値以上のカップリング容量を有する修正対象ネット情報を抽出する修正対象ネット抽出手順と、

セル面積情報を入力し、前記修正対象ネット情報に記載されたカップリング容量を有する配線経路上に前記セル面積情報を参照して空きスペースを検索し、空きスペース情報を抽出する空きスペース検索手順と、

前記空きスペース情報と前記タイミングウィンドウデータを参照し、隣接する配線を含むネットの論理を分解するかファンアウト数を変更する論理合成を行い

、隣接する配線間の信号遷移を同時に、且つホールド違反の場合は同相に、セットアップ違反の場合は逆相に遷移するようにするクロストーク修正候補を抽出するタイミング制約違反パスの論理合成手順と、

前記クロストーク修正候補に基づきセルを配置し配線する配置配線手順と、

修正された新たな回路についてクロストーク違反をチェックする第2のクロストーク解析手順とを含むものである。

【 0 0 3 2 】

上記のスラックデータにはタイミング制約に対する違反情報が記載される。

【 0 0 3 3 】

第5の解決手段によれば、タイミング制約違反を起こしているパスに対して、再論理合成により信号遷移の方向を反転させるか、または、ファンアウト変更により負荷を変動させるかによって、タイミング違反の逆方向に遅延が変動するクロストークの遅延変動を発生させて、クロストーク遅延変動によりタイミング違反を解消することができる。その結果、面積および消費電力の増加を招くことなく、クロストークによるタイミング制約違反およびファンクションエラーを修正することができる。

【 0 0 3 4 】

【発明の実施の形態】

以下、本発明にかかわるクロストーク修正方法の実施の形態について図面を参照しながら説明する。

【 0 0 3 5 】

(実施の形態1)

図1は本発明の実施の形態1におけるクロストーク修正方法(バッファ分割)のフローを表す図、図2はその具体例を表す図である。

【 0 0 3 6 】

図1において、S1は第1の並行配線長チェック手順、S2は配線経路上の空きスペース検索手順、S3はバッファ分割候補作成手順、S4は配置配線手順、S5は第2の並行配線長チェック手順、1は許容並行配線長データ、2はレイアウトデータ、3はセル面積情報、4は並行配線長違反情報、5は空きスペース情

報、6はクロストーク修正候補である。

【0037】

図2において、101はビクティムネットの駆動セル、102は空きスペース、103は既存セル、104はビクティムネットの次段駆動セル、105は隣接配線、106は分割されたインバータ前段、107は分割されたインバータ後段である。

【0038】

以上のように構成された本実施の形態のクロストーク修正方法について、以下に、その動作を説明する。

【0039】

図1において、第1の並行配線長チェック手順S1は、入力された許容並行配線長データ1を参照し、入力されたレイアウトデータ2上で許容値以上の並行部分を持つ違反配線のリストである並行配線長違反情報4を抽出する。許容並行配線長データ1はあらかじめSPICE等の回路シミュレータにより、配線層と配線間幅とネット駆動セル駆動能力に応じて異なるクロストークによる遅延変動と論理反転をシミュレーションし、求められたものである。

【0040】

経路上の空きスペース検索手順S2は、入力されたレイアウトデータ2および入力されたセル面積情報3を参照して、並行配線長違反情報4に記載された違反配線経路上に新たなエレメントを配置可能か検索し、配置可能な空きスペース情報5を抽出する。

【0041】

バッファ分割候補作成手順S3は、並行配線長違反情報4に記載された違反配線部分を駆動するセルまたは次段駆動セルがバッファである場合、空きスペース情報5に記載された空きスペースに、違反配線部分の駆動バッファまたは次段駆動バッファを2つのインバータの組み合わせに分割して、配線経路上に配置する変更候補であるクロストーク修正候補6を抽出する。分割で加えられたインバータにより、違反した並行配線部分が分割されて並行配線長が短くなり、並行配線長違反を抑える。

【 0 0 4 2 】

配置配線手順 S 4 は、クロストーク修正候補 6 に従ってバッファから分割されたインバータの組を配置し、配線をセル入力ピンに接続する。

【 0 0 4 3 】

第 2 の並行配線長チェック手順 S 5 は、変更を加えた部分が新たに並行配線長違反を起こしていないかチェックする。違反が発生している場合は、配置配線手順 S 4 に戻り、配置配線をやり直す。

【 0 0 4 4 】

以上のように動作する本実施の形態のクロストーク修正方法について、以下、その具体例について説明する。

【 0 0 4 5 】

図 2 (a) は、ビクティムネットに隣接配線 1 0 5 があり、ビクティムネットの駆動セル 1 0 1 の駆動能力に対して、その隣接配線 1 0 5 との並行配線長が、図 1 の許容並行配線長データ 1 に記載された値より大であって、並行配線長違反が生じている場合が示されている。この場合、セル配置可能な空きスペース 1 0 2 を配線経路上に検索し、配置可能なスペースがあるので、ビクティムネットの駆動セル 1 0 1 または次段駆動セル 1 0 4 をインバータに分割して配置する。

【 0 0 4 6 】

図 2 (b) では、ビクティムネットの駆動セル 1 0 1 を 2 つのインバータ 1 0 6 , 1 0 7 に分割して配置配線している。

【 0 0 4 7 】

図 2 (c) では、ビクティムネットの次段駆動セル 1 0 4 を 2 つのインバータ 1 0 6 , 1 0 7 に分割して配置配線している。

【 0 0 4 8 】

以上のように本実施形態によれば、許容並行配線長以上の並行配線の駆動バッファまたは次段駆動バッファをインバータの組に分割し、並行配線経路上に配置することにより、許容値以上のクロストーク遅延変動および論理反転の発生を防止することができる。

【 0 0 4 9 】

(実施の形態 2)

図 3 は本発明の実施の形態 2 におけるクロストーク修正方法(セル移動)のフローを表す図、図 4 はその具体例を表す図である。

【0050】

図 3 において、S 1 は第 1 の並行配線長チェック手順、S 2 は配線経路上の空きスペース検索手順、S 3 a はセル移動候補作成手順、S 4 は配置配線手順、S 5 は第 2 の並行配線長チェック手順、1 は許容並行配線長データ、2 はレイアウトデータ、3 はセル面積情報、4 は並行配線長違反情報、5 は空きスペース情報、6 はクロストーク修正候補である。

【0051】

図 4 において、101 はビクティムネットの駆動セル、102 は空きスペース、103 は既存セル、104 はビクティムネットの次段駆動セルである。

【0052】

以上のように構成された本実施の形態のクロストーク修正方法について、以下に、その動作を説明する。

【0053】

図 3 において、第 1 の並行配線長チェック手順 S 1 は、入力された許容並行配線長データ 1 を参照し、並行配線長違反情報 4 を抽出する。

【0054】

空きスペース検索手順 S 2 は、入力されたレイアウトデータ 2 および入力されたセル面積情報 3 を参照して、並行配線長違反情報 4 に記載された違反配線経路上に新たなエレメントを配置可能か検索し、配置可能な空きスペース情報 5 を抽出する。

【0055】

セル移動候補作成手順 S 3 a は、空きスペース情報 5 に記載された空きスペースに、違反配線部分の駆動セルまたは次段駆動セルを移動して配置したとき、セル移動距離の、移動セル前段の配線長および移動セル後段の配線長に対する割合が所定値以下であることを条件に、空きスペースに、違反配線部分の駆動セルまたは次段駆動セルを移動して配置し、並行配線部分を短くすることによってクロ

ストーク違反を修正するクロストーク修正候補 6 を抽出する。セルの移動により、違反した並行配線部分は短くなり、並行配線長違反を抑える。上記の所定値は、セルの移動によって前段ネットおよび後段ネットの遅延値の変動を抑えるためのものであり、テクノロジー、レイアウトおよび回路に依存し、予め S P I C E などのシミュレーションで求める。

【 0 0 5 6 】

配置配線手順 S 4 は、クロストーク修正候補 6 に従ってセルを移動して配置し、配線をセル入力ピンに接続する。

【 0 0 5 7 】

第 2 の並行配線長チェック手順 S 5 は、変更を加えた部分が新たに並行配線長違反を起こしていないかチェックする。違反が発生している場合は、配置配線手順 S 4 に戻り、配置配線をやり直す。

【 0 0 5 8 】

以上のように動作する本実施の形態のクロストーク修正方法について、以下、その具体例について説明する。

【 0 0 5 9 】

図 4 (a) は、ビクティムネットに隣接配線 1 0 5 があり、ビクティムネットの駆動セル 1 0 1 の駆動能力に対して、その隣接配線 1 0 5 との並行配線長が、図 3 の許容並行配線長データ 1 に記載された値より大であって、並行配線長違反が生じている場合が示されている。この場合、セル配置可能な空きスペース 1 0 2 を配線経路上に検索し、配置可能なスペースがあるので、ビクティムネットの駆動セル 1 0 1 または次段駆動セル 1 0 4 を配置したとき、セル移動距離の、移動セル前段ネットの配線長および後段ネットの配線長に対する割合が予め求めた所定値以下であることを条件に、ビクティムネットの駆動セル 1 0 1 または次段駆動セル 1 0 4 を移動して配置する。

【 0 0 6 0 】

図 4 (b) では、ビクティムネットの駆動セル 1 0 1 を右方向に移動させて配置配線している。

【 0 0 6 1 】

図 4 (c) では、ビクティムネットの次段駆動セル 1 0 4 を左方向に移動させて配置配線している。

【 0 0 6 2 】

以上のように本実施形態によれば、許容並行配線長以上の並行配線の駆動セルまたは次段駆動セルを並行配線経路上に移動することにより、許容値以上のクロストーク遅延変動および論理反転の発生を防止することができる。

【 0 0 6 3 】

(実施の形態 3)

図 5 は本発明の実施の形態 3 におけるクロストーク修正方法(ビクティムネット再論理合成)のフローを表す図、図 6 はその具体例を表す図である。

【 0 0 6 4 】

図 5 において、S 1 は第 1 の並行配線長チェック手順、S 2 は配線経路上の空きスペース検索手順、S 3 b はビクティムネット論理合成手順、S 4 は配置配線手順、S 5 は第 2 の並行配線長チェック手順、1 は許容並行配線長データ、2 はレイアウトデータ、3 はセル面積情報、4 は並行配線長違反情報、5 は空きスペース情報、6 はクロストーク修正候補、7 は論理接続情報である。

【 0 0 6 5 】

図 6 において、1 1 1 はビクティムネット # 1 の駆動セルの AND ゲート、1 1 2 はビクティムネット # 1 の配線、1 1 3 はビクティムネット # 2 の駆動セル、1 1 4 はビクティムネット # 2 のファンアウト ¥ 1 の配線、1 1 5 はビクティムネット # 2 のファンアウト ¥ 2 の配線、1 1 6 はファンアウト ¥ 1 の次段駆動セル、1 1 7 はファンアウト ¥ 2 の次段駆動セル、1 1 8 はアグレッサネット § 1 の駆動セル、1 1 9 はアグレッサネット § 1 の配線、1 2 0 はアグレッサネット § 1 の次段駆動セル、1 2 1 はアグレッサネット § 2 の駆動セル、1 2 2 はアグレッサネット § 2 の配線、1 2 3 はアグレッサネット § 2 の次段駆動セル、1 2 4 は AND ゲート 1 1 1 から分割された NAND ゲート、1 2 5 は AND ゲート 1 1 1 から分割されたインバータ、1 2 6 は駆動セル 1 1 3 が配線 1 1 4 上にファンアウト分割されたバッファ、1 2 7 は駆動セル 1 1 3 が配線 1 1 5 上にファンアウト分割されたバッファである。

【 0 0 6 6 】

以上のように構成された本実施の形態のクロストーク修正方法について、以下に、その動作を説明する。

【 0 0 6 7 】

図 5 において、第 1 の並行配線長チェック手順 S 1 は、入力された許容並行配線長データ 1 を参照し、並行配線長違反情報 4 を抽出する。

【 0 0 6 8 】

空きスペース検索手順 S 2 は、入力されたレイアウトデータ 2 および入力されたセル面積情報 3 を参照して、並行配線長違反情報 4 に記載された違反配線経路上に新たなエレメントを配置可能か検索し、配置可能な空きスペース情報 5 を抽出する。

【 0 0 6 9 】

ビクティムネット論理合成手順 S 3 b は、入力された論理接続情報 7 から並行配線長違反がある配線を含むネットの部分を再論理合成して、クロストーク修正候補を抽出する。この場合に、論理分解によりエレメント数を増やし、分割されたセルを空きスペースに配置することにより配線の並行部分を短くする。あるいは、ネットのファンアウトを変更し、ビクティムネットのスルーレート（信号遷移時間）を小さくする。これにより、違反した並行配線部分は短くなり、並行配線長違反を抑える。

【 0 0 7 0 】

配置配線手順 S 4 はクロストーク修正候補 6 に従ってセルを配置し、配線をセル入力ピンに接続する。

【 0 0 7 1 】

第 2 の並行配線長チェック手順 S 5 は、変更を加えた部分が新たに並行配線長違反を起こしていないかチェックする。違反が発生している場合は、配置配線手順 S 4 に戻り、配置配線をやり直す。

【 0 0 7 2 】

以上のように動作する本実施の形態のクロストーク修正方法について、以下、その具体例について説明する。

【 0 0 7 3 】

図 6 (a) は、ビクティムネット # 1 の配線 1 1 2 に対してアグレッサネット § 1 の配線 1 1 9 の並行配線が存在し、ビクティムネット # 2 のファンアウト ¥ 1 の配線 1 1 4 に対してアグレッサネット § 1 の配線 1 1 9 の並行配線が存在し、ビクティムネット # 2 のファンアウト ¥ 2 の配線 1 1 5 に対してアグレッサネット § 2 の配線 1 2 2 の並行配線が存在し、それぞれの並行配線長が、図 5 の許容並行配線長データ 1 に記載された値より大であって、許容並行配線長違反が生じている場合が示されている。この場合、セル配置可能な空きスペースを配線経路上に検索する。

【 0 0 7 4 】

次いで、図 5 のビクティムネット論理合成手順 S 3 b でビクティムネット # 1 の駆動セルの AND ゲート 1 1 1 を NAND ゲート 1 2 4 とインバータ 1 2 5 に論理分解し、ビクティムネット # 2 の駆動セル 1 1 3 をバッファ 1 2 6 とバッファ 1 2 7 に分けてファンアウト分割する。そして、空きスペースに分割されたセルを配置配線する。

【 0 0 7 5 】

以上のように本実施形態によれば、再論理合成により許容並行配線長以上の並行配線の駆動セルまたは次段駆動セルを論理分解し、またファンアウト数を変更して違反配線上のエレメント数を増やすことにより、許容値以上のクロストーク遅延変動および論理反転の発生を防止することができる。

【 0 0 7 6 】

(実施の形態 4)

図 7 は本発明の実施の形態 4 におけるクロストーク修正方法(アグレッサ・ビクティム両ネットの再論理合成)のフローを表す図、図 8 はその具体例を表す図である。

【 0 0 7 7 】

図 7 において、S 1 a は第 1 のクロストーク解析手順、S 2 は配線経路上の空きスペース検索手順、S 3 c はアグレッサ・ビクティム両ネットの論理合成手順、S 4 は配置配線手順、S 5 a は第 2 のクロストーク解析手順、2 はレイアウト

データ、3はセル面積情報、5は空きスペース情報、6はクロストーク修正候補、7は論理接続情報、8はRC情報、9は解析制約情報、10は遅延ライブラリ、11はクロストーク解析用ライブラリ、12はタイミングウィンドウデータ、13はクロストーク違反情報である。

【0078】

図8において、実施の形態3の図6におけるのと同じ符号は同一構成要素を指しているの、詳しい説明は省略する。128、129は論理反転されたインバータである。

【0079】

以上のように構成された本実施の形態のクロストーク修正方法について、以下に、その動作を説明する。

【0080】

図7において、第1のクロストーク解析手順S1aは、入力された論理接続情報7、RC情報8、解析制約情報9、遅延ライブラリ10およびクロストーク解析用ライブラリ11より、タイミングウィンドウを保持して同時遷移によるクロストーク遅延変動を考慮した遅延計算とタイミング解析を行い、クロストークによりタイミング違反が発生しているパスのクロストーク発生配線が記載されたクロストーク違反情報13およびタイミングウィンドウデータ12を抽出する。

【0081】

空きスペース検索手順S2は、入力されたレイアウトデータ2およびセル面積情報3を参照して、クロストーク違反情報13に記載されたクロストークにより遅延変動を起こしているクロストーク発生配線経路上に新たなエレメントを配置可能か検索し、配置可能な空きスペース情報5を抽出する。

【0082】

アグレッサ・ビクティム両ネットの論理合成手順S3cは、空きスペース情報5とタイミングウィンドウデータ12を参照し、クロストーク発生配線ネットの影響を与える側または影響を受ける側の論理を分解し、同時の同相遷移を逆相遷移（または逆相遷移を同相遷移）へと反転させ、発生していたクロストークにより速くなる（または遅くなる）遅延変動をタイミング制約に対して余裕のある方

に変更することにより、クロストークの影響を無害化するクロストーク修正候補 6 を抽出する。

【 0 0 8 3 】

配置配線手順 S 4 は、クロストーク修正候補 6 に基づきセルを配置し配線する。

【 0 0 8 4 】

第 2 のクロストーク解析手順 S 5 a は、修正された新たな回路がクロストークによる違反を発生させていないかをチェックする。違反が発生している場合は、配置配線手順 S 4 に戻り、配置配線をやり直す。

【 0 0 8 5 】

以上のように動作する本実施の形態のクロストーク修正方法について、以下、その具体例について説明する。

【 0 0 8 6 】

図 8 (a) に示す回路において、図 7 の第 1 のクロストーク解析手順 S 1 a は、論理接続情報 7、RC 情報 8、解析制約情報 9、遅延ライブラリ 1 0 およびクロストーク解析用ライブラリ 1 1 を用いて、まず、クロストークによる遅延変動を考慮しない遅延計算をしてタイミング解析を行い、タイミングウィンドウデータを抽出する。次いで、カップリング容量を有し且つ同時遷移しているネット間でクロストークによる遅延変動が発生したとして、そのネットに関してクロストークを考慮した遅延計算をしてタイミング解析を行い、タイミングウィンドウデータを更新する（図 8 (b) 参照）。この更新はタイミングウィンドウデータの変化が発生しなくなるまで行う。

【 0 0 8 7 】

図 8 (a) のピクティムネット # 2 のファンアウト ¥ 1 の次段駆動セル 1 1 6 およびファンアウト ¥ 2 の次段駆動セル 1 1 7 を含むパスがセットアップ違反を起こしているとする。図 8 (b) のタイミングウィンドウデータより、アグレッサネット § 1 とピクティムネット # 1、# 2 とはタイミングウィンドウが一致しており、クロストークが発生している。これに対して、アグレッサネット § 2 とピクティムネット # 2 とはタイミングウィンドウが一致しておらず、クロストー

クは発生していない。従って、クロストーク解析手順は、アグレッサネット § 1 とビクティムネット # 1、および、アグレッサネット § 1 とビクティムネット # 2 を修正対象とし、クロストーク違反情報に記載する。

【0088】

図7の空きスペース検索手順S2で、アグレッサネット § 1 の配線119とビクティムネット # 1 の配線112とビクティムネット # 2 のファンアウト ¥ 1 の配線114の経路上の空きスペースを検索し、空きスペース情報5に記載する。

【0089】

空きスペース情報5とタイミングウィンドウデータ12より、図7のアグレッサ・ビクティム両ネットの論理合成手順S3cで論理を分解するか、論理を反転するか、または、ファンアウト数を変更するかについて検討し、アグレッサネット § 1 の論理を反転する候補を選択する。図8(c)に示す回路のように、アグレッサネット § 1 において、バッファ118をインバータ128に変更し、バッファ120をインバータ129に変更する。アグレッサネットの論理が反転すれば、アグレッサネット § 1 とビクティムネット # 1、および、アグレッサネット § 1 とビクティムネット # 2 の同時遷移が同相遷移から逆相遷移に変更され、クロストークによる遅延変動は遅くなる方から速くなる方になり、セットアップ違反に対してタイミングが改善される。

【0090】

以上のように本実施形態によれば、クロストークによりタイミング制約違反を起こしているパスに対して、再論理合成により信号遷移のタイミングを変更し、信号の遷移方向を反転させるか、または、ファンアウト変更により負荷を変動させるかによって、クロストークの遅延変動を発生させないようにし、あるいは、発生するとしても無害な方向へ変動させることにより、クロストーク遅延変動によるタイミング制約違反の発生を防止することができる。

【0091】

(実施の形態5)

図9は本発明の実施の形態5におけるクロストーク修正方法(再論理合成によるタイミング制約違反修正)のフローを表す図、図10はその具体例を表す図で

ある。

【0092】

図9において、S1aは第1のクロストーク解析手順、S1bは修正対象ネット抽出手順、S2は経路上の空きスペース検索手順、S3dはタイミング制約違反パスの論理合成手順、S4は配置配線手順、S5aは第2のクロストーク解析手順、2はレイアウトデータ、3はセル面積情報、5は空きスペース情報、6はクロストーク修正候補、7は論理接続情報、8はRC情報、9は解析制約情報、10は遅延ライブラリ、11はクロストーク解析用ライブラリ、12はタイミングウィンドウデータ、14はスラックデータ、15は修正対象ネット情報である。

【0093】

図10において、111はビクティムネット#1の駆動セルのANDゲート、112はビクティムネット#1の配線、113はビクティムネット#2の駆動セル、114はビクティムネット#2のファンアウト¥1の配線、115はビクティムネット#2のファンアウト¥2の配線、116はファンアウト¥1の次段駆動セル、117はファンアウト¥2の次段駆動セル、118はアグレッサネット§1の駆動セル、119はアグレッサネット§1の配線、120はアグレッサネット§1の次段駆動セル、124はANDゲート111から分割されたNANDゲート、130はファンアウト位置を変更するために移動したバッファ、131はビクティムネット#1のファンアウト¥1の配線、132はビクティムネット#1のファンアウト¥2の次段ネット配線、133はビクティムネット#1のファンアウト¥1の次段ネットの駆動インバータ、134はホールド違反、135はセットアップ違反、136はリピータバッファ、137はサイズダウンされたリピータバッファである。

【0094】

以上のように構成された本実施の形態のクロストーク修正方法について、以下に、その動作を説明する。

【0095】

図9において、第1のクロストーク解析手順S1aは、入力された論理接続情

報 7、RC 情報 8、解析制約情報 9、遅延ライブラリ 10 およびクロストーク解析用ライブラリ 11 より、タイミングウィンドウを保持して同時遷移によるクロストーク遅延変動を考慮した遅延計算とタイミング解析を行い、タイミング違反が発生しているパスが記載されたスラックデータ 14 およびタイミングウィンドウデータ 12 を抽出する。

【0096】

修正対象ネット抽出手順 S1b は、スラックデータ 14 に記載されたタイミング制約違反を起こしているパス上のネットから、隣接する配線との間に規定値以上のカップリング容量を有するネットである修正対象ネット情報 15 を抽出する。ここでのカップリング容量に対する規定値は、スラック値、配線総容量に対する隣接配線とのカップリング容量比の関数であり、スラック値に対して、遅延変動により改善し得る値を予めシミュレーションにより求めておくものである。

【0097】

空きスペース検索手順 S2 は、入力されたレイアウトデータ 2 およびセル面積情報 3 を参照して、修正対象ネット情報 15 に記載されたタイミング違反を起こしているパス上の配線で且つ隣接配線との間に規定値以上のカップリング容量を有している配線経路上に新たなエレメントを配置可能か検索し、配置可能な空きスペース情報 5 を抽出する。

【0098】

タイミング制約違反パスの論理合成手順 S3d は、空きスペース情報 5 とタイミングウィンドウデータ 12 を参照し、隣接する配線部分を含むそれぞれのネットの論理を分解するかファンアウト数を変更する論理合成を行い、隣接する配線間の信号遷移を同時に、且つ、ホールド違反の場合は同相に、セットアップ違反の場合は逆相に遷移するようにし、クロストークによって遅延が速くなる（または遅くなる）遅延変動を発生させるクロストーク修正候補 6 を抽出する。

【0099】

配置配線手順 S4 は、クロストーク修正候補 6 に基づきセルを配置し配線する。

【0100】

第2のクロストーク解析手順S5aは、修正された新たな回路がクロストークによる違反を発生させていないかをチェックする。違反が発生している場合は、配置配線手順S4に戻り、配置配線をやり直す。

【0101】

以上のように動作する本実施の形態のクロストーク修正方法について、以下、その具体例について説明する。

【0102】

図10(a)に示す回路において、ビクティムネット#1の配線112に対してアグレッサネット§1の配線119の並行配線が存在し、ビクティムネット#2のファンアウト¥1の配線114に対してアグレッサネット§1の配線119の並行配線が存在している。図9の第1のクロストーク解析手順S1aで入力された論理接続情報7、RC情報8、解析制約情報9、遅延ライブラリ10およびクロストーク解析用ライブラリ11を用いてクロストークによる遅延変動を考慮した遅延計算とタイミング解析を行い、解析対象パスすべてに関して図10(b)のスラックデータ、および、図10(a)の回路部分に関しては図10(c)のタイミングウィンドウデータ12を抽出する。

【0103】

第1のクロストーク解析手順S1aは、まず、クロストークによる遅延変動を考慮しない遅延計算をしてタイミング解析を行い、タイミングウィンドウデータを抽出する。次いで、カップリング容量を有し且つ同時遷移しているネット間でクロストークによる遅延変動が発生したとして、そのネットに関してクロストークを考慮した遅延計算をしてタイミング解析を行い、タイミングウィンドウデータ12を更新する。この更新はタイミングウィンドウデータ12の変化が発生しなくなるまで行う。

【0104】

図10(a)のビクティムネット#2のファンアウト¥1の次段駆動セル116およびビクティムネット#2のファンアウト¥2の次段駆動セル117を含むパスがホールド違反を起こしているとする。すなわち図10(b)のスラックデータではこれらのパスは領域13.4に含まれる。

【0105】

図9の空きスペース検索手順S2でアグレッサネットおよびビクティムネットを含むパス経路上の空きスペースを検索する。

【0106】

図9の修正対象ネット抽出手順S1bで、スラックデータの中からカップリング容量を持つビクティムネット#1、ビクティムネット#2およびアグレッサネット§1が抽出される。このときのそれぞれのネットにおける信号遷移を示すタイミングウィンドウデータ12は図10(c)で示される。アグレッサネット§1とビクティムネット#1の信号遷移タイミングは一致していない。

【0107】

図9の空きスペース検索手順S2でアグレッサネット§1とビクティムネット#1とビクティムネット#2を含むパスの配線経路上の空きスペースを検索し、空きスペース情報5に記載する。

【0108】

空きスペース情報5とタイミングウィンドウデータ12より図9のタイミング制約違反パスの論理合成手順S3dで、アグレッサネット§1がタイミング的に問題がない場合、アグレッサネット§1のタイミングを変更するか、アグレッサネットかビクティムネットの論理を反転させるか、または、ファンアウト数を変更するかについて検討し、アグレッサネット§1を含むパス上のリピータバッファ136のセルサイズを小さくしてリピータバッファ137とし、ANDゲート111をNANDセル124に変更するとともに、ビクティムネット#2のファンアウト¥1の次段駆動セル116をインバータ133に変更して、ビクティムネット#1の論理を反転させ、ビクティムネット#2の駆動セル113を130で示す箇所に移動して、ビクティムネット#2のファンアウト数を変更する候補を選択する。変更後の回路を図10(e)に示す。この変更により、図10(d)に示すように、アグレッサネット§1とビクティムネット#1の信号が同時且つ同相に遷移するようになり、遅延が速くなるクロストークが発生する。

【0109】

以上のように本実施形態によれば、タイミング制約違反を起こしているパスに

対して論理合成により信号遷移のタイミングを変更し、信号の遷移方向を反転させるか、または、ファンアウト変更により負荷を変動させるかによって、タイミング違反の逆方向に遅延が変動するクロストークの遅延変動を発生させて、クロストーク遅延変動によりタイミング違反を解消することができる。

【0 1 1 0】

【発明の効果】

以上のように本発明によれば、バッファの分割手順、セルの移動手順、論理合成手順を設けることにより、面積および消費電力の増加を招くことなく、クロストークによるタイミング制約違反およびファンクションエラーを修正することができる優れたクロストーク修正方法を実現する。

【図面の簡単な説明】

【図 1】 本発明の実施の形態 1 におけるクロストーク修正方法(バッファ分割)のフローを表す図

【図 2】 本発明の実施の形態 1 におけるクロストーク修正方法のバッファ分割の具体例を表す図 ((a) は実施前、(b) はネット駆動バッファの分割例、(c) は次段駆動バッファの分割例)

【図 3】 本発明の実施の形態 2 におけるクロストーク修正方法(セル移動)のフローを表す図

【図 4】 本発明の実施の形態 2 におけるクロストーク修正方法のセル移動の具体例を表す図 ((a) は実施前、(b) はネット駆動セルの移動例、(c) は次段駆動セルの移動例)

【図 5】 本発明の実施の形態 3 におけるクロストーク修正方法(ビクティムネット再論理合成)のフローを表す図

【図 6】 本発明の実施の形態 3 におけるクロストーク修正方法のビクティムネット再論理合成の具体例を表す図 ((a) は実施前、(b) は実施後)

【図 7】 本発明の実施の形態 4 におけるクロストーク修正方法(アグレッサ・ビクティム両ネットの再論理合成)のフローを表す図

【図 8】 本発明の実施の形態 4 におけるクロストーク修正方法のアグレッサ・ビクティム両ネットの論理合成の具体例を表す図 ((a) は実施前、(b) は

タイミングウィンドウを示す図、(c)は実施後)

【図 9】 本発明の実施の形態 5 におけるクロストーク修正方法（再論理合成によるタイミング制約違反修正）のフローを表す図

【図 1 0】 本発明の実施の形態 5 におけるクロストーク修正方法の再論理合成によるタイミング制約違反修正の具体例を表す図（(a)は実施前、(b)はスラックを示す図、(c)は実施前のタイミングウィンドウを示す図、(d)は実施後のタイミングウィンドウを示す図、(e)は実施後）

【図 1 1】 従来のクロストーク修正方法であるバッファ挿入を表す図（(a)はバッファ挿入前、(b)はバッファ挿入後）

【図 1 2】 従来のクロストーク修正方法であるシールドイングを表す図（(a)はシールド挿入前、(b)はシールド挿入後）

【図 1 3】 従来のクロストーク修正方法であるセルサイジングを表す図（(a)はセルサイズアップ前、(b)はセルサイズアップ後）

【図 1 4】 従来のクロストーク修正方法である配線迂回を表す図（(a)は配線迂回前、(b)は配線迂回後）

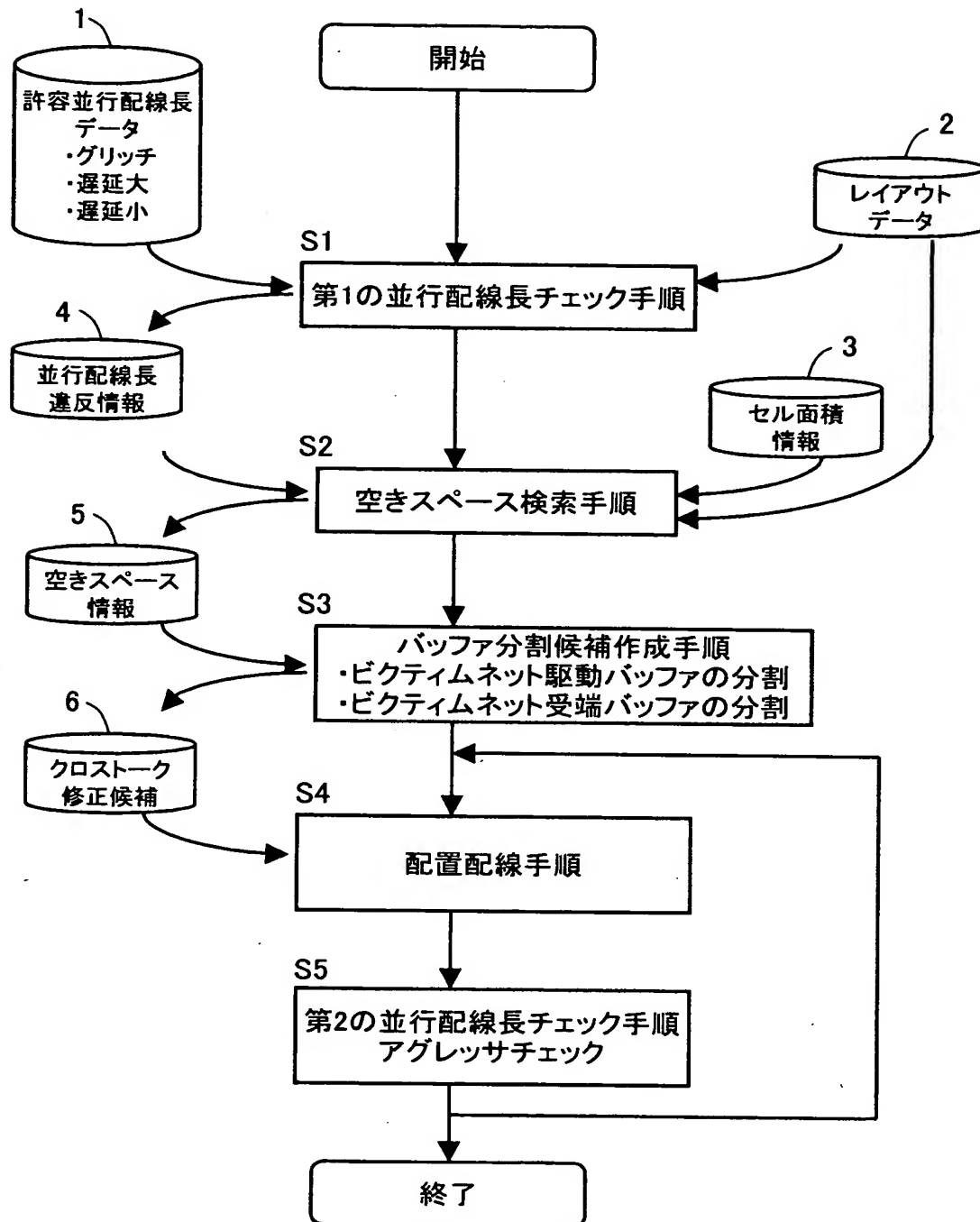
【符号の説明】

- S 1 第 1 の並行配線長チェック手順
- S 1 a 第 1 のクロストーク解析手順
- S 1 b 修正対象ネット抽出手順
- S 2 空きスペース検索手順
- S 3 バッファ分割候補作成手順
- S 3 a セル移動候補作成手順
- S 3 b ビクティムネット論理合成手順
- S 3 c アグレッサ・ビクティム両ネットの論理合成手順
- S 3 d タイミング制約違反パスの論理合成手順
- S 4 配置配線手順
- S 5 第 2 の並行配線長チェック手順
- S 5 a 第 2 のクロストーク解析手順
- 1 許容並行配線長データ

- 2 レイアウトデータ
- 3 セル面積情報
- 4 並行配線長違反情報
- 5 空きスペース情報
- 6 クロストーク修正候補
- 7 論理接続情報
- 8 R C 情報
- 9 解析制約情報
- 1 0 遅延ライブラリ
- 1 1 クロストーク解析用ライブラリ
- 1 2 タイミングウィンドウデータ
- 1 3 クロストーク違反情報
- 1 4 スラックデータ
- 1 5 修正対象ネット情報

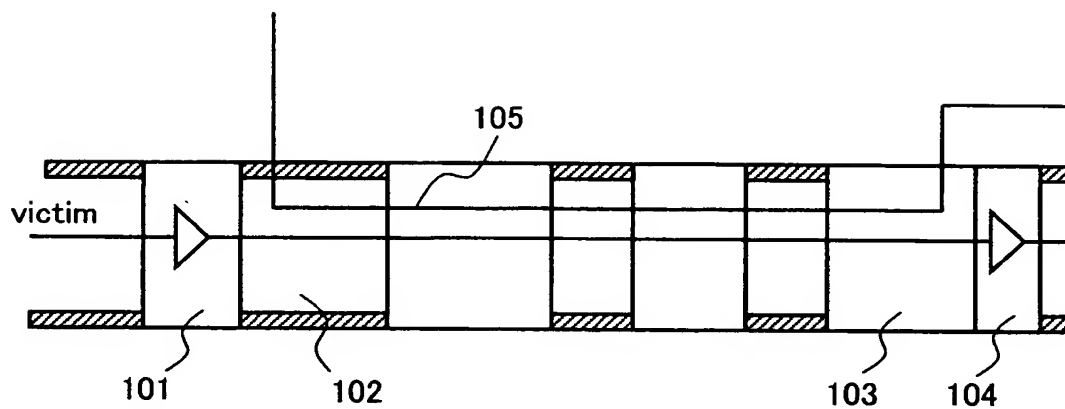
【書類名】 図面

【図 1】

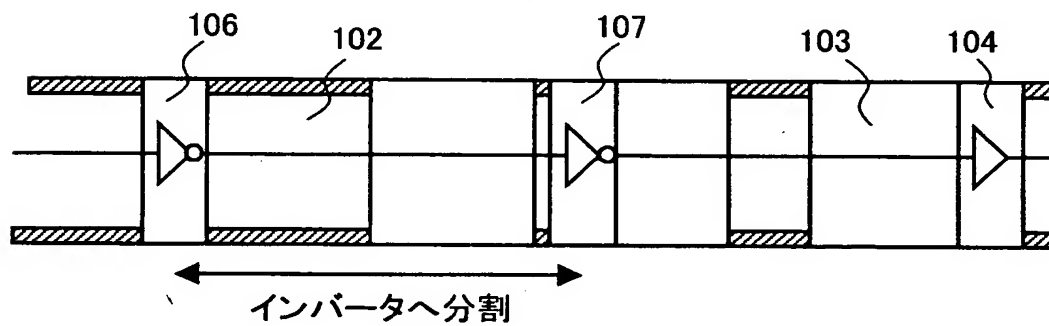


【図 2】

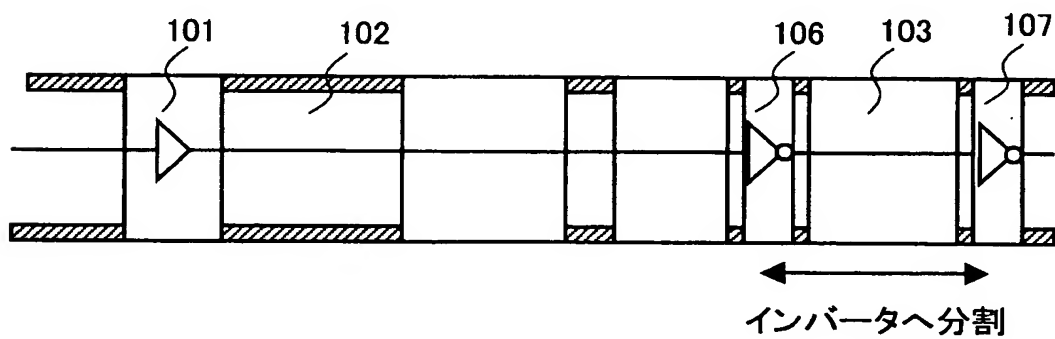
(a)



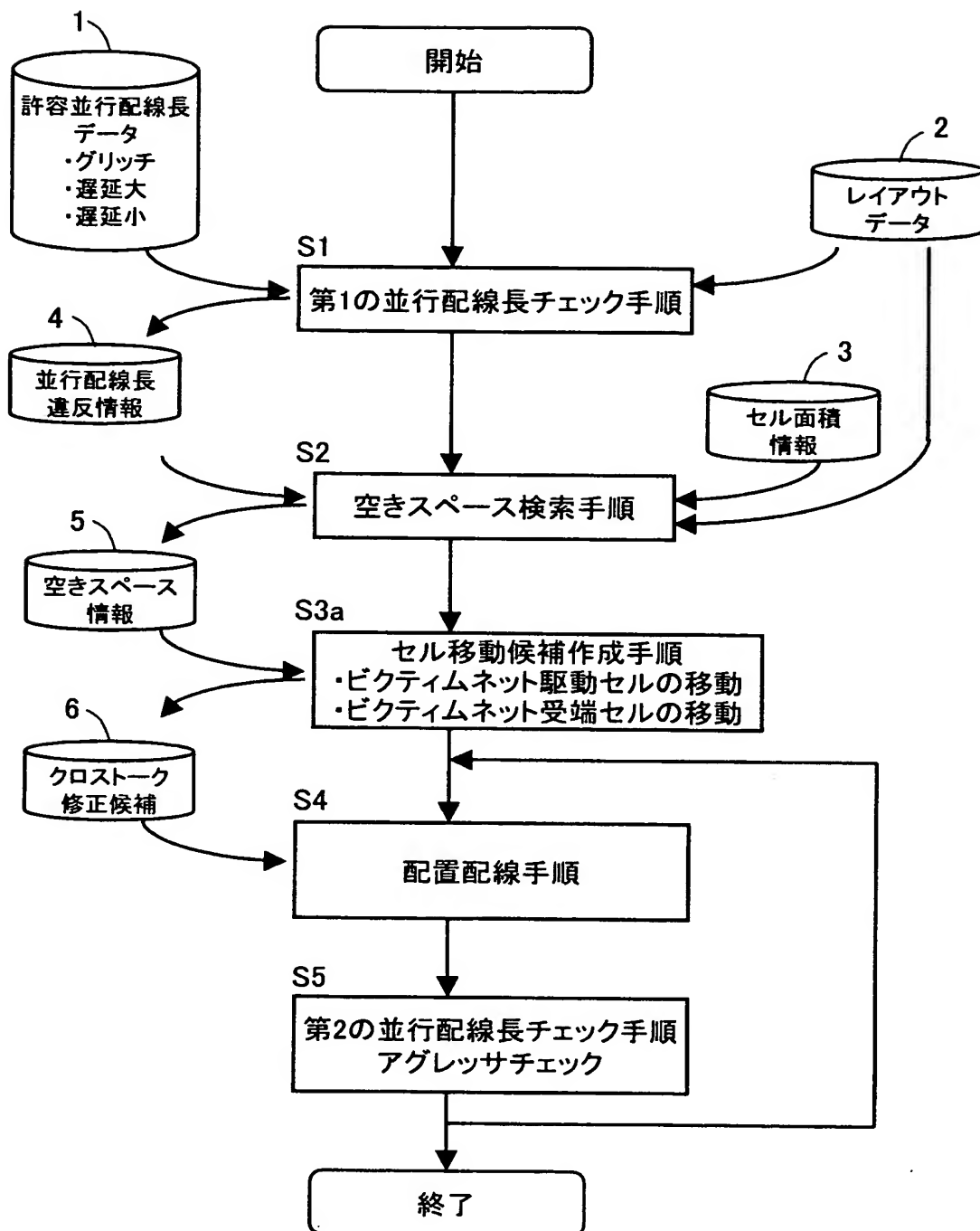
(b)



(c)

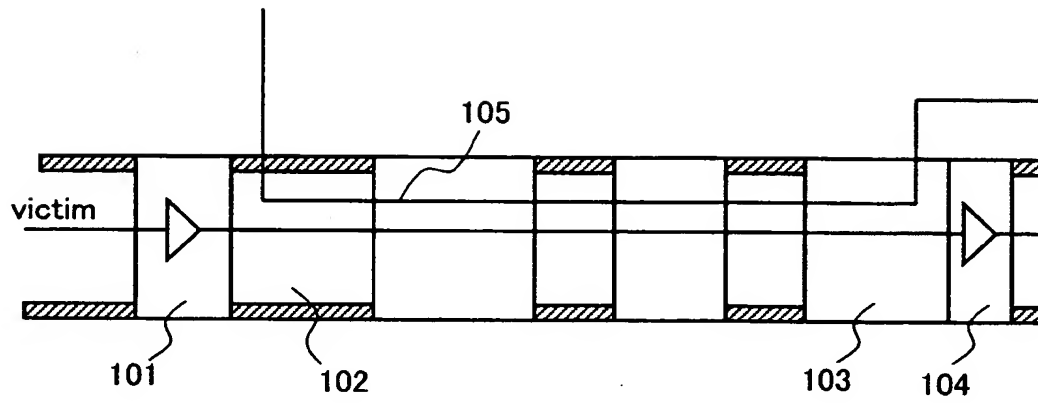


【図 3】

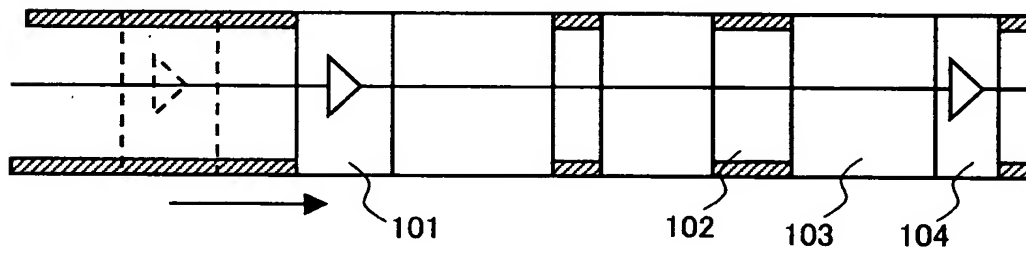


【図 4】

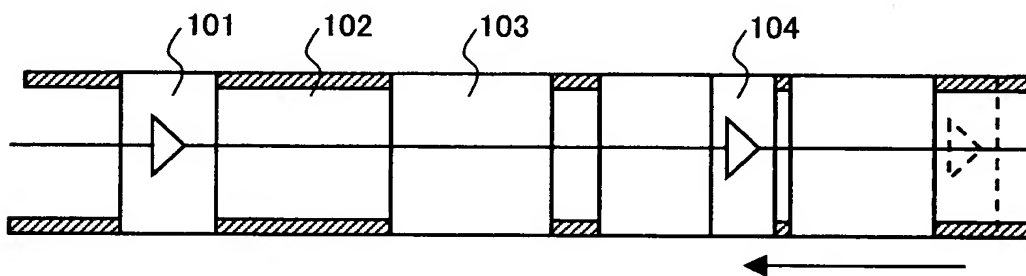
(a)



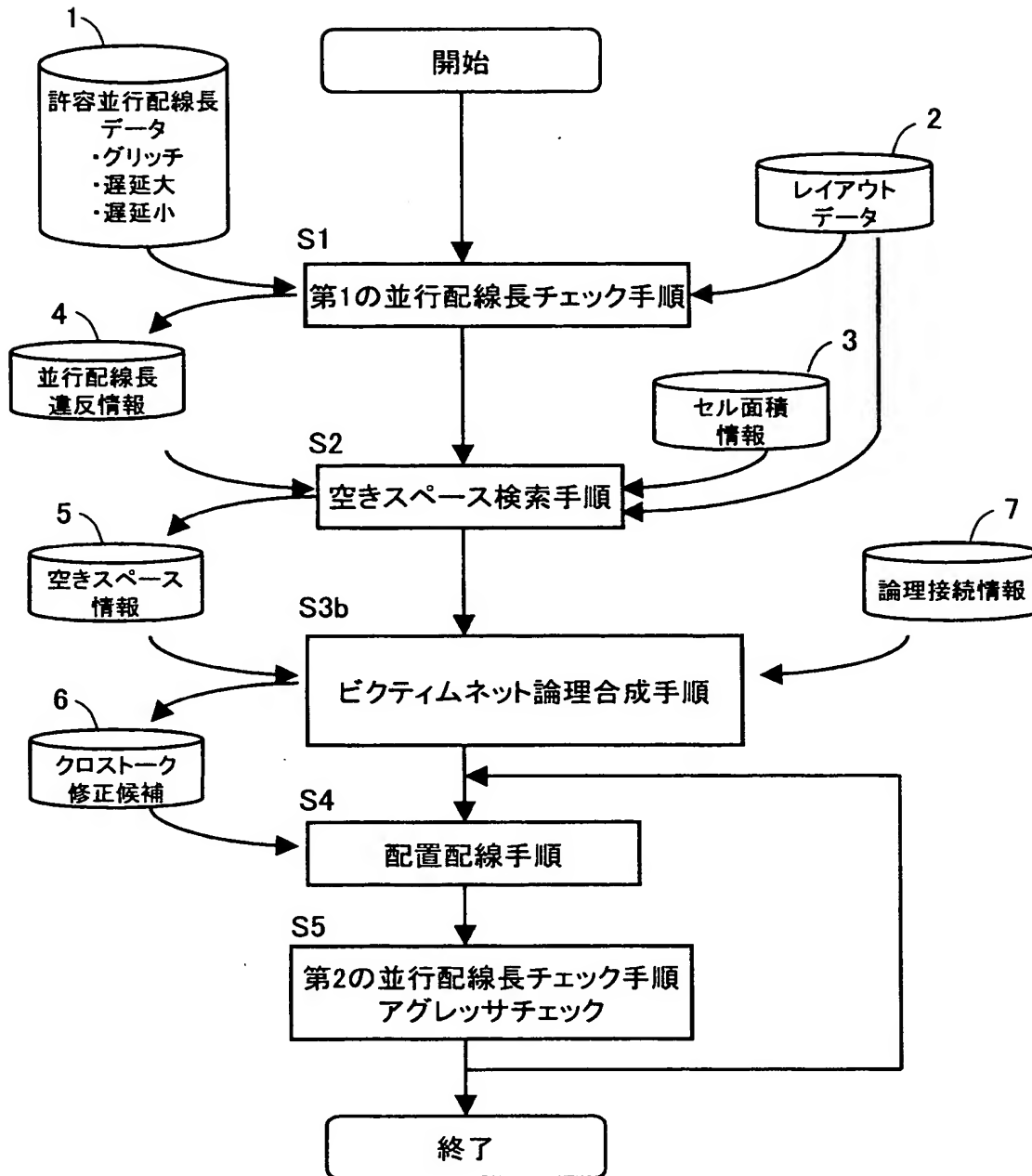
(b)



(c)

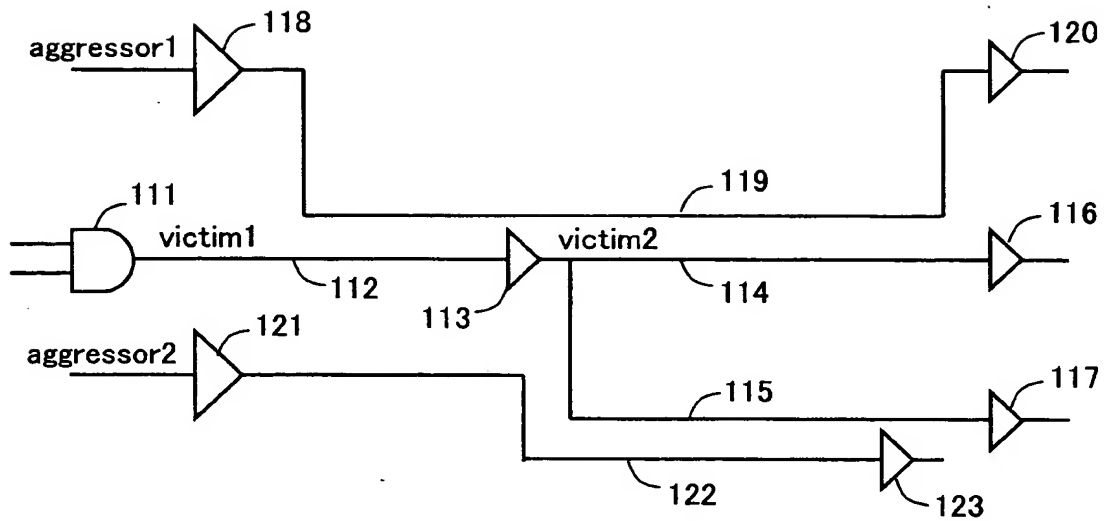


【図5】

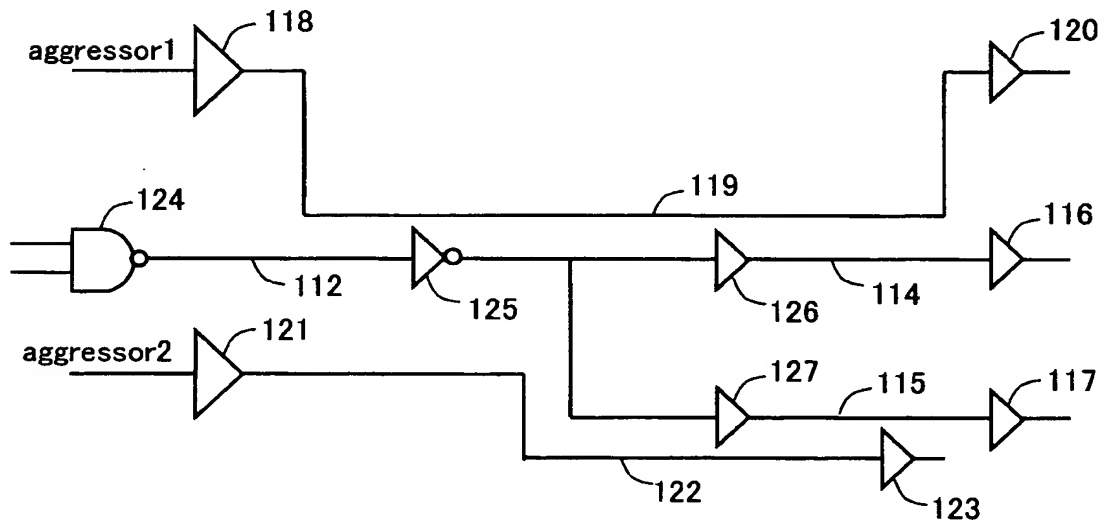


【図 6】

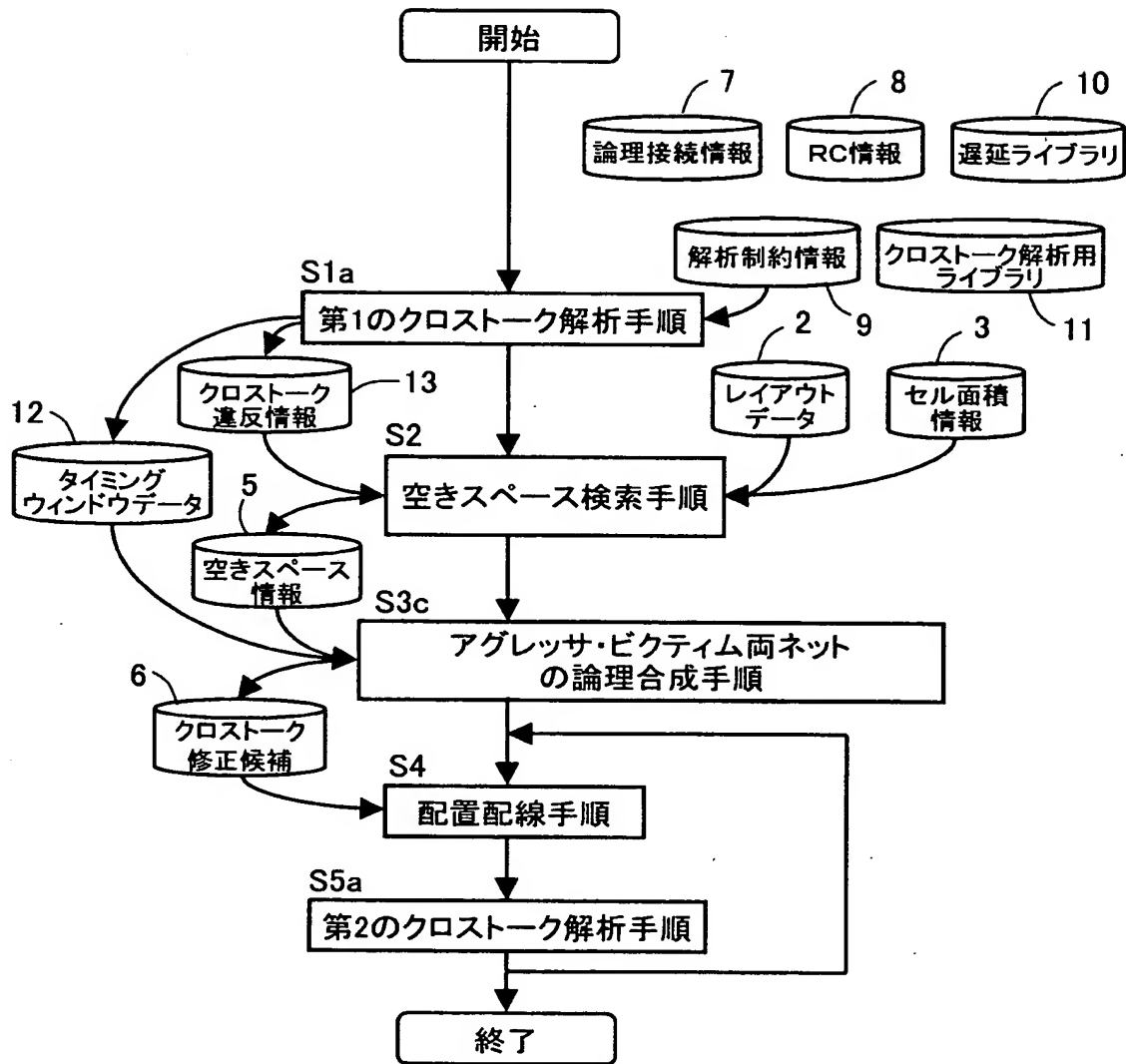
(a)



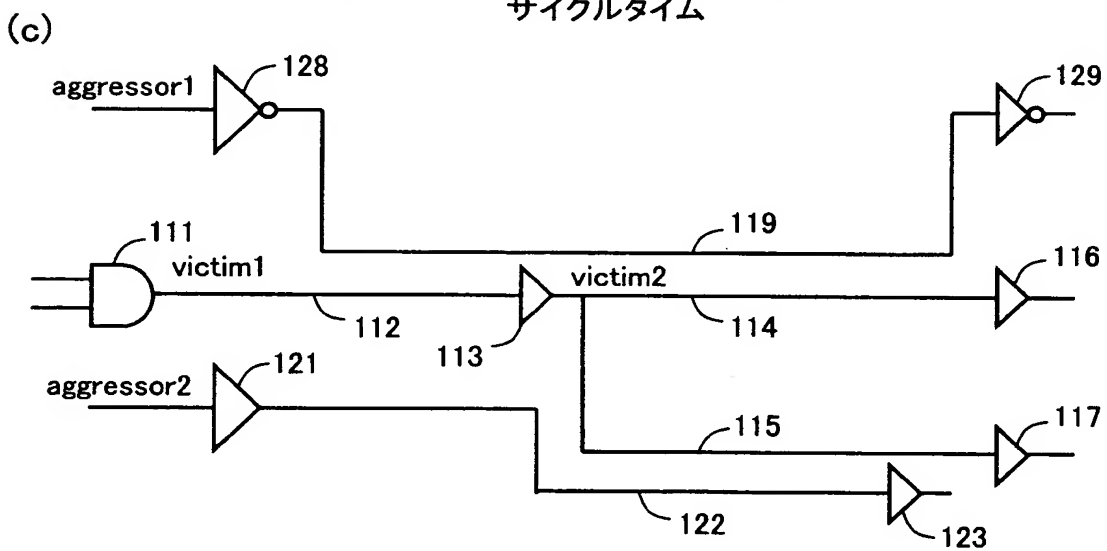
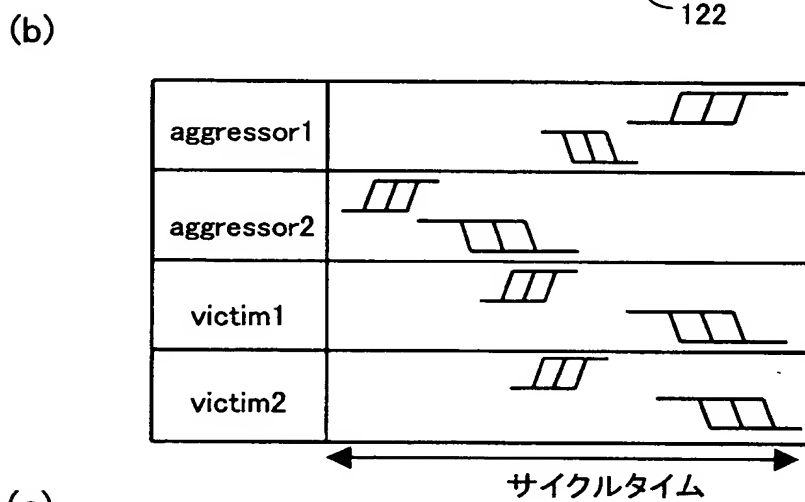
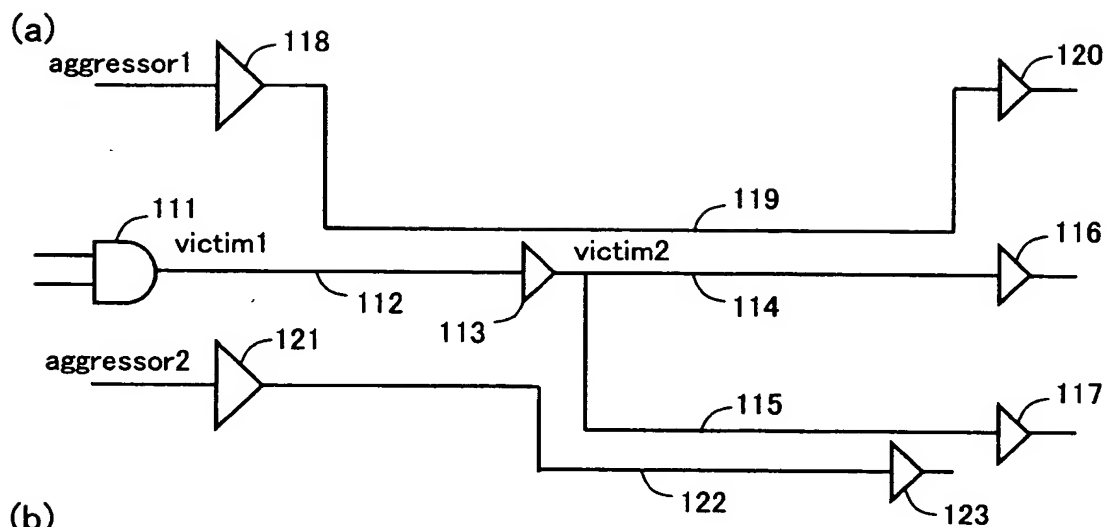
(b)



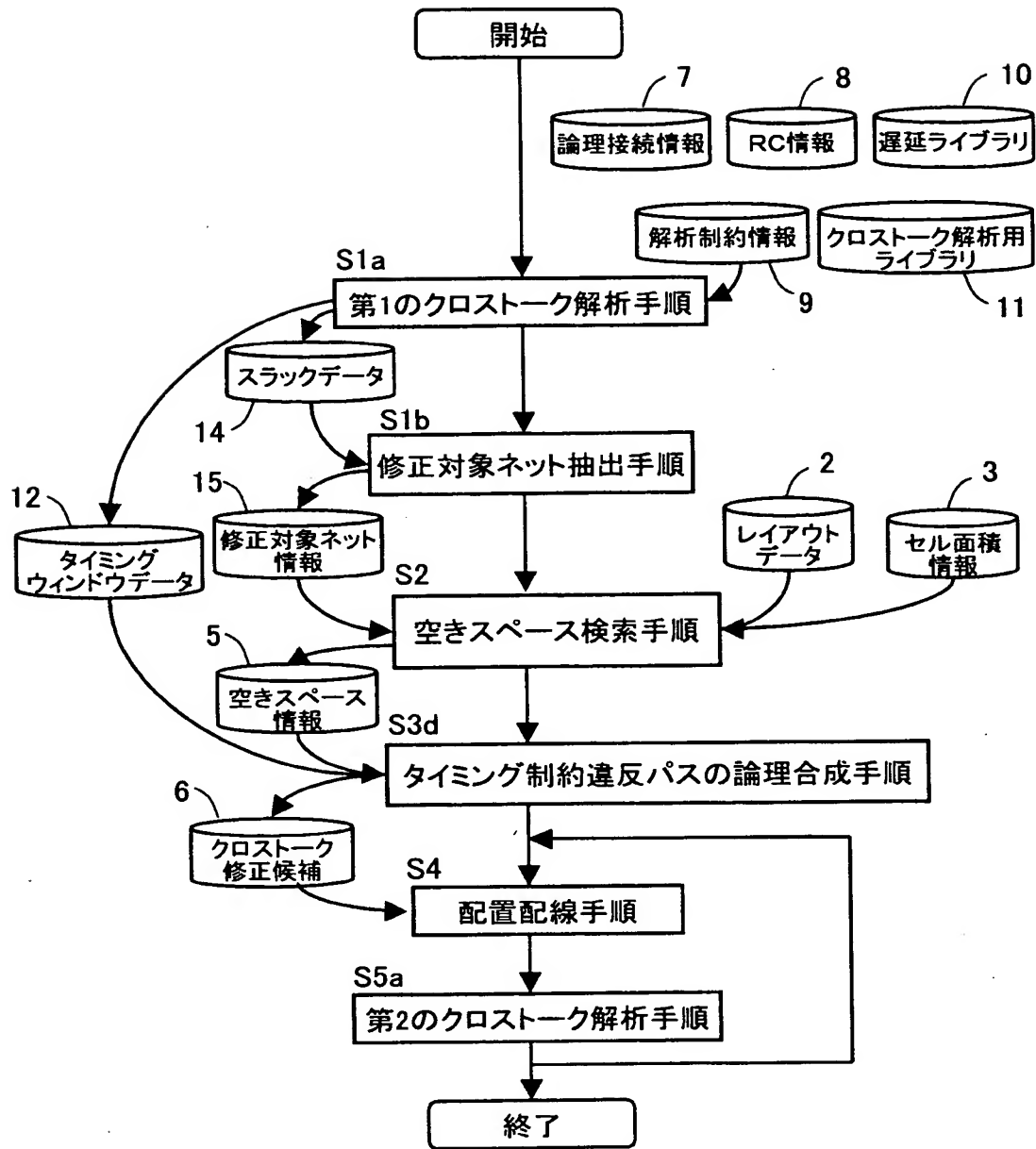
【図 7】



【図 8】

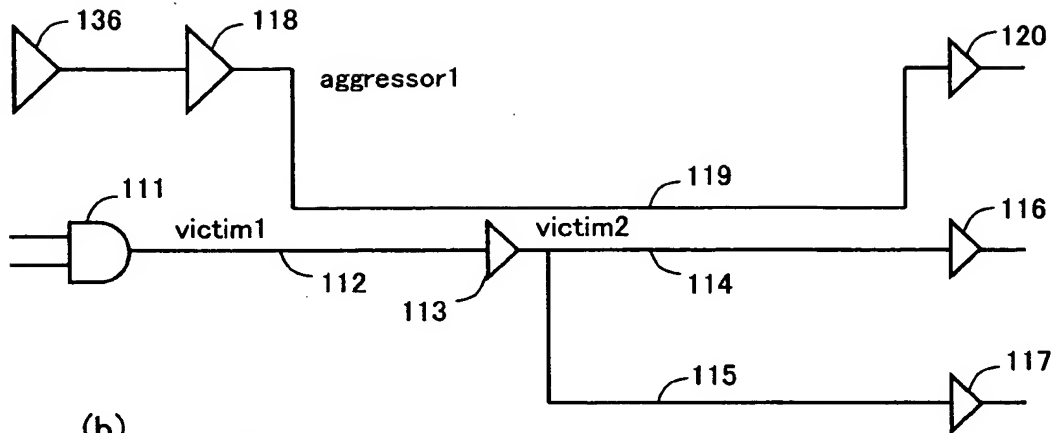


【図9】

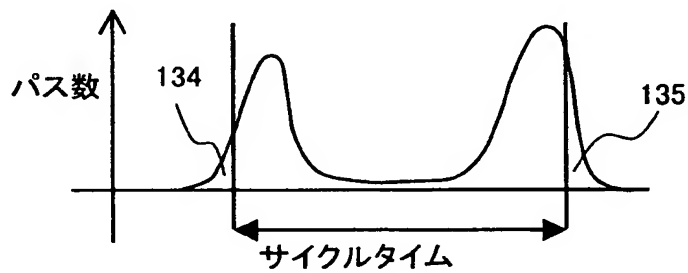


【図 1 0】

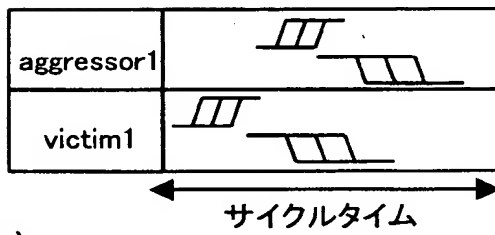
(a)



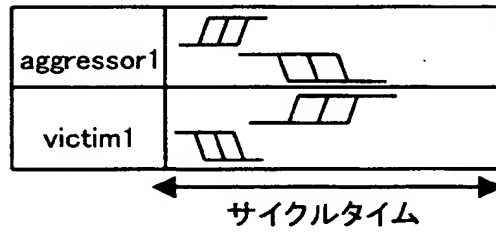
(b)



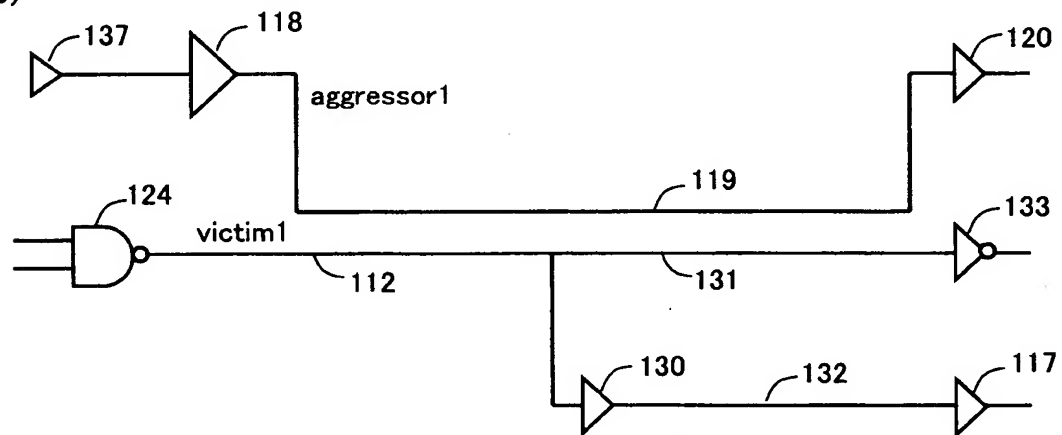
(c)



(d)

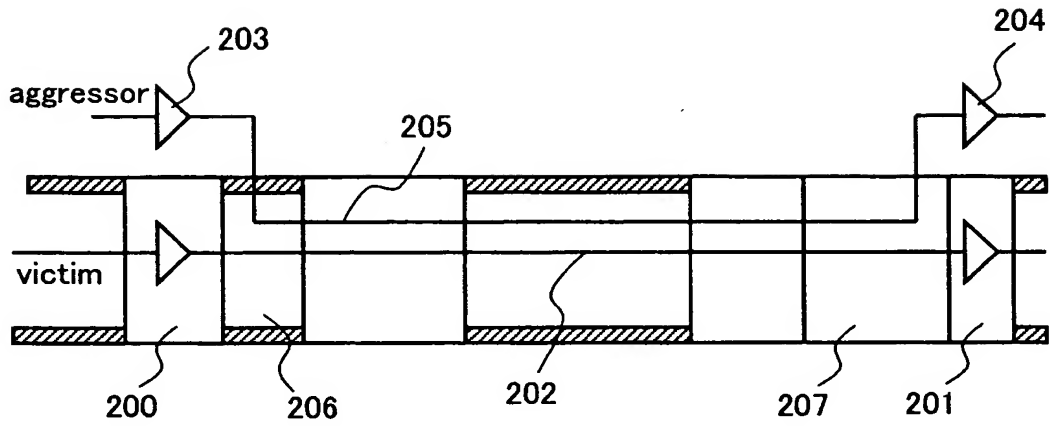


(e)

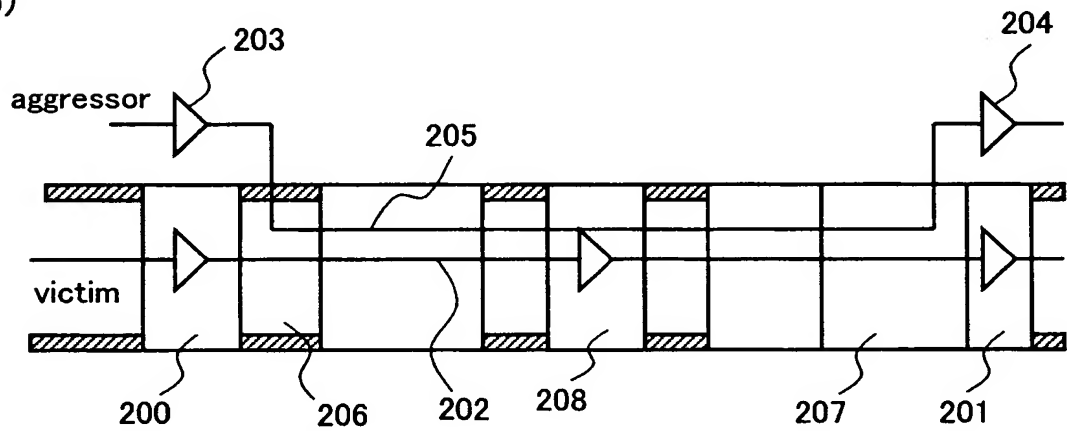


【図 1 1】

(a)

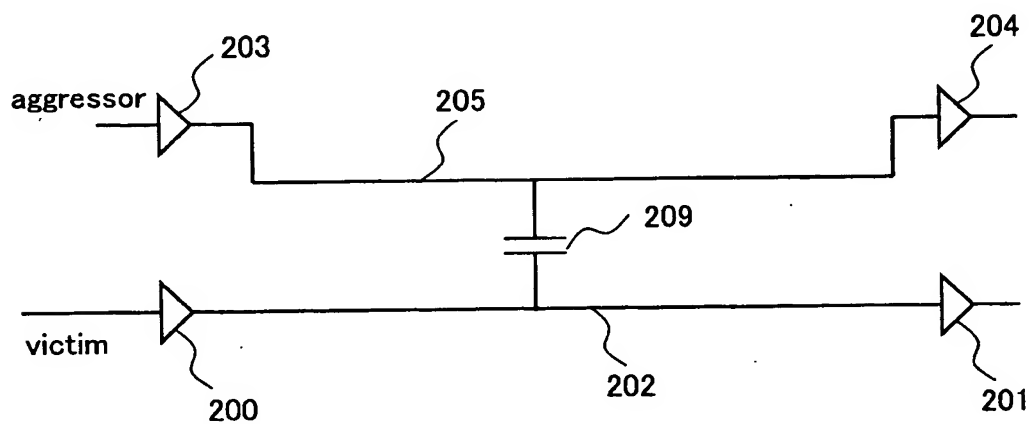


(b)

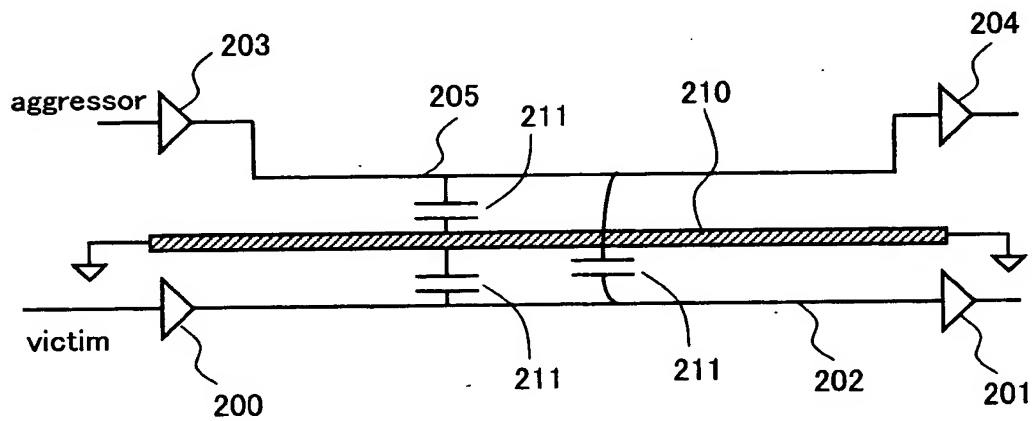


【図 1 2】

(a)

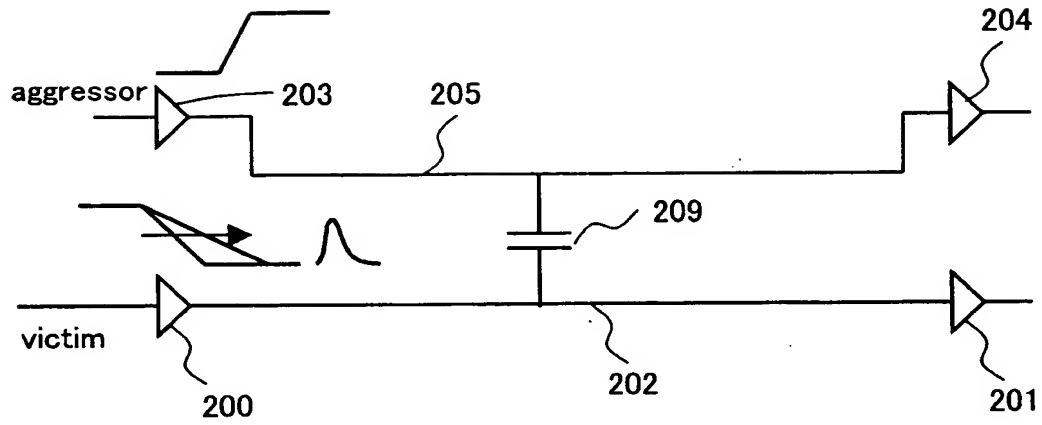


(b)

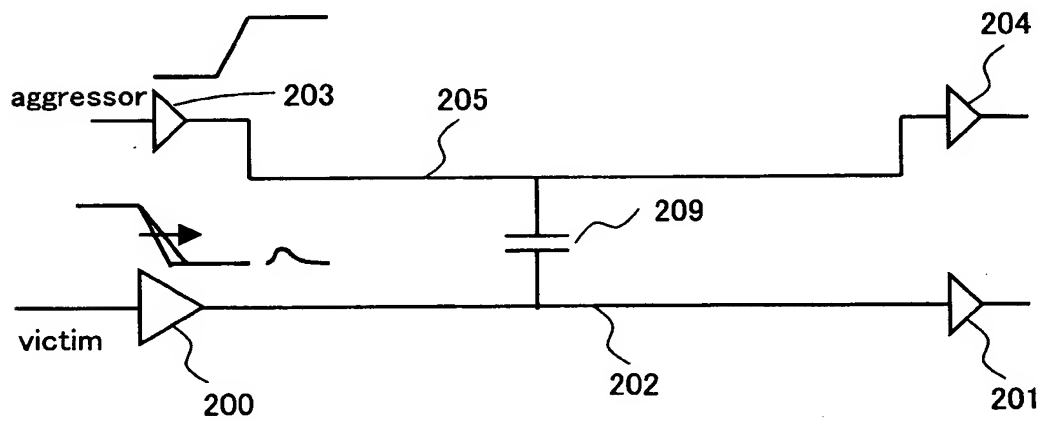


【図 1 3】

(a)

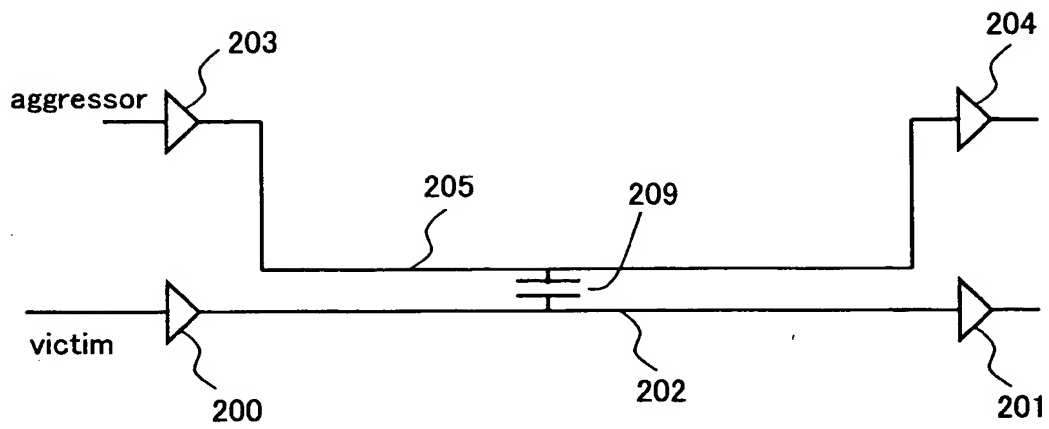


(b)

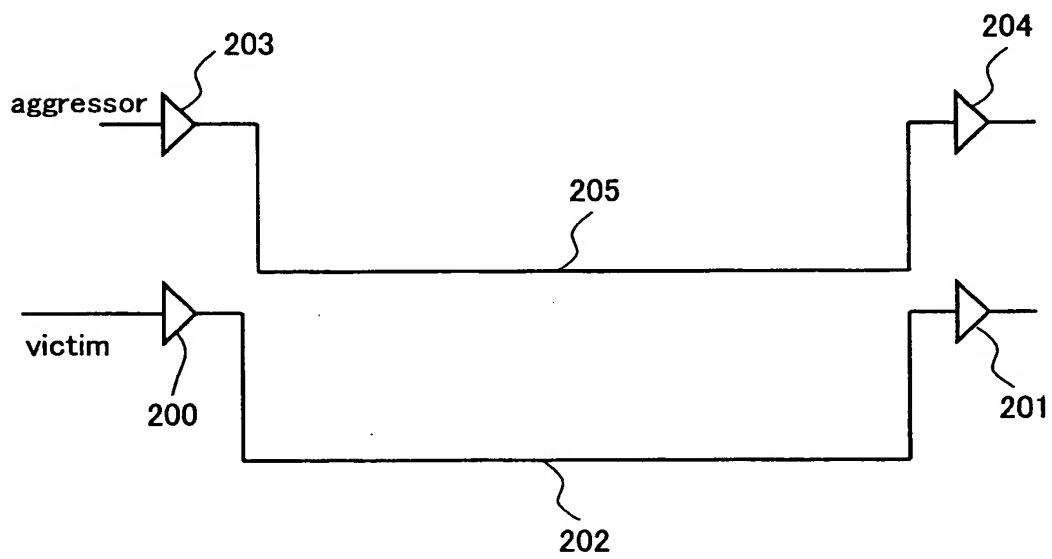


【図 1 4】

(a)



(b)



【書類名】 要約書

【要約】

【課題】 クロストークエラーを修正すると、修正面積増および消費電力増を
起こす。

【解決手段】 クロストーク修正方法に、バッファ分割候補作成手順 S 3 また
はセル移動候補作成手順 S 3 a またはビクティムネットの論理合成手順 S 3 b を
設けることにより、バッファの分割、セルの移動または論理の分解によるエレメ
ント数の増加、論理の反転およびファンアウト数の変更を通じてクロストークを
修正する。

【選択図】 図 1

認定・付加情報

| | |
|---------|---------------|
| 特許出願の番号 | 特願2002-336473 |
| 受付番号 | 50201752346 |
| 書類名 | 特許願 |
| 担当官 | 第五担当上席 0094 |
| 作成日 | 平成14年11月21日 |

<認定情報・付加情報>

| | |
|-------|-------------|
| 【提出日】 | 平成14年11月20日 |
|-------|-------------|

出 願 人 履 歴 情 報

識別番号 [000005821]

| | |
|----------|------------------|
| 1. 変更年月日 | 1990年 8月28日 |
| [変更理由] | 新規登録 |
| 住 所 | 大阪府門真市大字門真1006番地 |
| 氏 名 | 松下電器産業株式会社 |